

"Express Mail" mailing label number EV 327 137 120 US  
Date of Deposit 10/20/03

Our File No. 9281-4680  
Client Reference No. S US02194

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of: )  
Toru Aoyagi )  
Serial No. To Be Assigned )  
Filing Date: Herewith )  
For: High-Work-Efficiency Multilayered )  
Circuit Board )

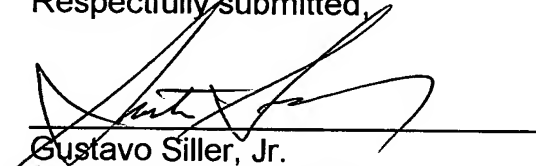
**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Mail Stop Patent Application  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Transmitted herewith is a certified copy of priority document Japanese Patent Application No. 2002-006674 filed on October 22, 2003 for the above-named U.S. application.

Respectfully submitted,



Gustavo Siller, Jr.  
Registration No. 32,305  
Attorney for Applicant  
Customer Number 00757

BRINKS HOFER GILSON & LIONE  
P.O. BOX 10395  
CHICAGO, ILLINOIS 60610  
(312) 321-4200

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 0 月 2 2 日  
Date of Application:

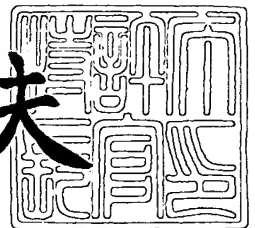
出 願 番 号            実 願 2 0 0 2 - 0 0 6 6 7 4  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 0 0 6 6 7 4    U ]

出      願      人            アルプス電気株式会社  
Applicant(s):

2 0 0 3 年    8 月 1 4 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証実 2 0 0 3 - 3 0 0 0 0 9 9

【書類名】 実用新案登録願

【整理番号】 S02194

【あて先】 特許庁長官 殿

【国際特許分類】 H05K 3/46

【考案の名称】 多層回路基板

【請求項の数】 8

【考案者】

【住所又は居所】 東京都大田区雪谷大塚町 1 番 7 号 アルプス電気株式会社  
社内

【氏名】 青柳 亨

【実用新案登録出願人】

【識別番号】 000010098

【氏名又は名称】 アルプス電気株式会社

【代表者】 片岡 政隆

【納付年分】 第 1 年分から第 3 年分

【手数料の表示】

【予納台帳番号】 037132

【納付金額】 53,600 円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【考案の名称】 多層回路基板

【実用新案登録請求の範囲】

【請求項 1】 積層された少なくとも第 1, 第 2 の絶縁層を有し、前記第 1 の絶縁層の表面には、インダクタを構成する導電膜からなる第 1 の導電体と、コンデンサを構成する導電膜からなる一方の第 1 の電極とが設けられ、前記第 2 の絶縁層の表面には、コンデンサを構成する導電膜からなる他方の第 2 の電極が設けられ、前記第 1, 第 2 の電極が前記絶縁層を介して互いに対向するように前記第 1, 第 2 の絶縁層が積層されたことを特徴とする多層回路基板。

【請求項 2】 前記第 1 の導電体は、前記第 1 の絶縁層の外周部に形成されると共に、前記第 1 の電極が前記第 1 の導電体の内側で前記第 1 の絶縁層の中央部に形成されたことを特徴とする請求項 1 記載の多層回路基板。

【請求項 3】 前記第 1 の導電体と前記第 1 の電極が導電膜からなる第 1 の接続導体によって接続されたことを特徴とする請求項 2 記載の多層回路基板。

【請求項 4】 前記第 1 の導電体には第 1 の取り出し部を設けると共に、前記第 2 の電極には第 2 の取り出し部を設けて、前記第 1, 第 2 の取り出し部間で、インダクタとコンデンサが直列接続された構成としたことを特徴とする請求項 3 記載の多層回路基板。

【請求項 5】 前記第 2 の絶縁層の外周部には、インダクタを構成する導電膜からなる第 2 の導電体が形成されると共に、前記第 2 の電極が前記第 2 の導電体の内側で前記第 2 の絶縁層の中央部に形成され、前記第 2 の導電体には第 1 の取り出し部を設けると共に、前記第 2 の電極には第 2 の取り出し部を設けて、前記第 1, 第 2 の取り出し部間で、インダクタとコンデンサが直列接続された構成としたことを特徴とする請求項 3 記載の多層回路基板。

【請求項 6】 前記第 2 の絶縁層の外周部には、インダクタを構成する導電膜からなる第 2 の導電体が形成され、前記第 2 の電極が前記第 2 の導電体の内側で前記第 2 の絶縁層の中央部に形成されると共に、前記第 1, 第 2 の絶縁層に積層された一枚、或いは複数枚の第 3 の絶縁層を有し、この第 3 の絶縁層には、インダクタを構成する導電膜からなる第 3 の導電体が設けられ、前記第 1 の導電体

には第1の取り出し部を設けると共に、前記第1の電極には第2の取り出し部を設けて、前記第1、第2の取り出し部間で、インダクタとコンデンサが直列接続された構成としたことを特徴とする請求項2記載の多層回路基板。

【請求項7】 前記第2の絶縁層の外周部には、インダクタを構成する導電膜からなる第2の導電体が形成されると共に、前記第2の電極が前記第2の導電体の内側で前記第2の絶縁層の中央部に形成され、前記第2の導電体と前記第2の電極は、導電膜からなる第2の接続導体で接続され、前記第1の接続導体には第1の取り出し部を設けると共に、前記第2の接続導体には第2の取り出し部を設けて、前記第1、第2の取り出し部間で、インダクタとコンデンサが並列接続された構成としたことを特徴とする請求項3記載の多層回路基板。

【請求項8】 前記第2の絶縁層の外周部には、インダクタを構成する導電膜からなる第2の導電体が形成されると共に、前記第2の電極が前記第2の導電体の内側で前記第2の絶縁層の中央部に形成され、前記第2の導電体と前記第2の電極は、導電膜からなる第2の接続導体で接続されると共に、前記第1、第2の絶縁層に積層された一枚、或いは複数枚の第3の絶縁層を有し、この第3の絶縁層には、インダクタを構成する導電膜からなる第3の導電体が設けられ、前記第1の接続導体には第1の取り出し部を設けると共に、前記第3の導電体には第2の取り出し部を設けて、前記第1、第2の取り出し部間で、インダクタとコンデンサが並列接続された構成としたことを特徴とする請求項3記載の多層回路基板。

#### 【考案の詳細な説明】

##### 【0001】

#### 【考案の属する技術分野】

本考案はバンドパスフィルタ等の電気回路に使用して好適な多層回路基板に関する。

##### 【0002】

#### 【従来の技術】

従来の多層回路基板の図面を説明すると、図8は従来の多層回路基板に係り、インダクタとコンデンサが並列接続されるものにおける分解斜視図、図9は図8

の多層回路基板における回路図、図 1 0 は従来の多層回路基板に係り、インダクタとコンデンサが直列接続されるものにおける分解斜視図、図 1 1 は図 1 0 の多層回路基板における回路図である。

#### 【 0 0 0 3 】

次に、インダクタとコンデンサが並列接続される多層回路基板の構成を図 8 に基づいて説明すると、セラミック材からなる第 1，第 2，第 3 の絶縁層 5 1，5 2，5 3 は、互いに積層されて構成されている。

#### 【 0 0 0 4 】

そして、第 1 の絶縁層 5 1 の表面には、銀等の導電膜で形成された四角形状の第 1 の電極 5 4 が設けられると共に、この第 1 の電極 5 4 には第 1 の引き出し部 5 5 が設けられている。

#### 【 0 0 0 5 】

また、第 2 の絶縁層 5 2 の表面には、銀等の導電膜で形成されたコ字状の第 1 の導電体 5 6 が設けられると共に、この第 1 の導電体 5 6 の一端に設けられた孔 5 6 a と第 1 の電極 5 4 に設けられた孔 5 4 a には、スルーホール等の接続体（図示せず）を充填して、第 1 の導電体 5 6 の一端と第 1 の電極 5 4 が電氣的に接続されている。

#### 【 0 0 0 6 】

更に、第 3 の絶縁層 5 3 の表面には、銀等の導電膜で形成された四角形状の第 2 の電極 5 7 が設けられると共に、この第 2 の電極 5 7 には第 2 の引き出し部 5 8 が設けられている。

また、この第 2 の電極 5 7 の孔 5 7 a と第 1 の導電体 5 6 の他端に設けられた孔 5 6 b には、スルーホール等の接続体（図示せず）を充填して、第 1 の導電体 5 6 の他端と第 2 の電極 5 7 が電氣的に接続されている。

#### 【 0 0 0 7 】

このような構成を有する多層回路基板は、第 1，第 2 の電極 5 4，5 7 が第 1，第 2 の絶縁層 5 1，5 2 を介して互いに対向した状態となって、コンデンサ C が形成されると共に、第 1 の導電体 5 6 によって、インダクタ L が形成されている。

**【 0 0 0 8 】**

その結果、図 9 に示すように、第 1，第 2 の引き出し部 5 5，5 8 の間は、インダクタ L とコンデンサ C が並列接続された構成となっている。

**【 0 0 0 9 】**

次に、インダクタとコンデンサが直列接続される多層回路基板の構成を図 1 0 に基づいて説明すると、セラミック材からなる第 1，第 2，第 3 の絶縁層 6 1，6 2，6 3 は、互いに積層されて構成されている。

**【 0 0 1 0 】**

そして、第 1 の絶縁層 6 1 の表面には、銀等の導電膜で形成されたコ字状の第 1 の導電体 6 4 が設けられると共に、この第 1 の電極 6 4 の一端には第 1 の引き出し部 6 5 が設けられている。

**【 0 0 1 1 】**

また、第 2 の絶縁層 6 2 の表面には、銀等の導電膜で形成された四角形状の第 1 の電極 6 6 が設けられると共に、この第 1 の電極 6 6 の孔 6 6 a と第 1 の導電体 6 4 の他端に設けられた孔 6 4 a には、スルーホール等の接続体（図示せず）を充填して、第 1 の導電体 6 4 の他端と第 1 の電極 6 6 が電氣的に接続されている。

**【 0 0 1 2 】**

更に、第 3 の絶縁層 6 3 の表面には、銀等の導電膜で形成された四角形状の第 2 の電極 6 7 が設けられると共に、この第 2 の電極 6 7 には第 2 の引き出し部 6 8 が設けられている。

**【 0 0 1 3 】**

このような構成を有する多層回路基板は、第 1，第 2 の電極 6 6，6 7 が第 2 の絶縁層 6 2 を介して互に対向した状態となって、コンデンサ C が形成されると共に、第 1 の導電体 6 4 によって、インダクタ L が形成されている。

**【 0 0 1 4 】**

その結果、図 1 1 に示すように、第 1，第 2 の引き出し部 6 5，6 8 の間は、インダクタ L とコンデンサ C が直列接続された構成となっている。

**【 0 0 1 5 】**

**【考案が解決しようとする課題】**

インダクタとコンデンサを備えた従来の多層回路基板は、少なくとも 3 枚の絶縁層を必要とし、部品点数が多くなって、コスト高で、厚型になるという問題がある。

また、3 枚の絶縁層を使用すると、製造が面倒である上に、少なくとも一カ所は、スルーホールによる導通作業を必要として、生産性が悪くなるという問題がある。

**【0 0 1 6】**

そこで、本考案は部品点数が少なく、作業性が良く、且つ、安価で薄型の多層回路基板を提供することを目的とする。

**【0 0 1 7】****【課題を解決するための手段】**

上記課題を解決するための第 1 の解決手段として、積層された少なくとも第 1、第 2 の絶縁層を有し、前記第 1 の絶縁層の表面には、インダクタを構成する導電膜からなる第 1 の導電体と、コンデンサを構成する導電膜からなる一方の第 1 の電極とが設けられ、前記第 2 の絶縁層の表面には、コンデンサを構成する導電膜からなる他方の第 2 の電極が設けられ、前記第 1、第 2 の電極が前記絶縁層を介して互いに対向するように前記第 1、第 2 の絶縁層が積層された構成とした。

**【0 0 1 8】**

また、第 2 の解決手段として、前記第 1 の導電体は、前記第 1 の絶縁層の外周部に形成されると共に、前記第 1 の電極が前記第 1 の導電体の内側で前記第 1 の絶縁層の中央部に形成された構成とした。

**【0 0 1 9】**

また、第 3 の解決手段として、前記第 1 の導電体と前記第 1 の電極が導電膜からなる第 1 の接続導体によって接続された構成とした。

**【0 0 2 0】**

また、第 4 の解決手段として、前記第 1 の導電体には第 1 の取り出し部を設けると共に、前記第 2 の電極には第 2 の取り出し部を設けて、前記第 1、第 2 の取り出し部間で、インダクタとコンデンサが直列接続された構成とした。

## 【0021】

また、第5の解決手段として、前記第2の絶縁層の外周部には、インダクタを構成する導電膜からなる第2の導電体が形成されると共に、前記第2の電極が前記第2の導電体の内側で前記第2の絶縁層の中央部に形成され、前記第2の導電体には第1の取り出し部を設けると共に、前記第2の電極には第2の取り出し部を設けて、前記第1、第2の取り出し部間で、インダクタとコンデンサが直列接続された構成とした。

## 【0022】

また、第6の解決手段として、前記第2の絶縁層の外周部には、インダクタを構成する導電膜からなる第2の導電体が形成され、前記第2の電極が前記第2の導電体の内側で前記第2の絶縁層の中央部に形成されると共に、前記第1、第2の絶縁層に積層された一枚、或いは複数枚の第3の絶縁層を有し、この第3の絶縁層には、インダクタを構成する導電膜からなる第3の導電体が設けられ、前記第1の導電体には第1の取り出し部を設けると共に、前記第1の電極には第2の取り出し部を設けて、前記第1、第2の取り出し部間で、インダクタとコンデンサが直列接続された構成とした。

## 【0023】

また、第7の解決手段として、前記第2の絶縁層の外周部には、インダクタを構成する導電膜からなる第2の導電体が形成されると共に、前記第2の電極が前記第2の導電体の内側で前記第2の絶縁層の中央部に形成され、前記第2の導電体と前記第2の電極は、導電膜からなる第2の接続導体で接続され、前記第1の接続導体には第1の取り出し部を設けると共に、前記第2の接続導体には第2の取り出し部を設けて、前記第1、第2の取り出し部間で、インダクタとコンデンサが並列接続された構成とした。

## 【0024】

また、第8の解決手段として、前記第2の絶縁層の外周部には、インダクタを構成する導電膜からなる第2の導電体が形成されると共に、前記第2の電極が前記第2の導電体の内側で前記第2の絶縁層の中央部に形成され、前記第2の導電体と前記第2の電極は、導電膜からなる第2の接続導体で接続されると共に、前

記第 1, 第 2 の絶縁層に積層された一枚、或いは複数枚の第 3 の絶縁層を有し、この第 3 の絶縁層には、インダクタを構成する導電膜からなる第 3 の導電体が設けられ、前記第 1 の接続導体には第 1 の取り出し部を設けると共に、前記第 3 の導電体には第 2 の取り出し部を設けて、前記第 1, 第 2 の取り出し部間で、インダクタとコンデンサが並列接続された構成とした。

#### 【 0 0 2 5 】

##### 【考案の実施の形態】

本考案の多層回路基板の図面を説明すると、図 1 は本考案の多層回路基板の第 1 実施例に係り、インダクタとコンデンサが並列接続されるものにおける分解斜視図、図 2 は本考案の多層回路基板の第 2 実施例に係り、インダクタとコンデンサが並列接続されるものにおける分解斜視図、図 3 は図 1, 図 2 の多層回路基板における回路図である。

#### 【 0 0 2 6 】

また、図 4 は本考案の多層回路基板の第 3 実施例に係り、インダクタとコンデンサが直列接続されるものにおける分解斜視図、図 5 は本考案の多層回路基板の第 4 実施例に係り、インダクタとコンデンサが直列接続されるものにおける分解斜視図、図 6 は本考案の多層回路基板の第 5 実施例に係り、インダクタとコンデンサが直列接続されるものにおける分解斜視図、図 7 は図 4 ~ 図 6 の多層回路基板における回路図である。

#### 【 0 0 2 7 】

次に、インダクタとコンデンサが並列接続される多層回路基板の第 1 実施例の構成を図 1 に基づいて説明すると、低温焼成セラミック材 (L T C C) 等のセラミック材からなる第 1, 第 2 の絶縁層 1, 2 は、互いに積層されて構成されて、多層セラミック基板 (低温焼成多層セラミック基板) が形成されている。

#### 【 0 0 2 8 】

そして、第 1 の絶縁層 1 の表面には、銀等の導電膜で形成され、第 1 の絶縁層 1 の外周部に沿って設けられたコ字状の第 1 の導電体 3 と、この第 1 の導電体 3 の内側で、第 1 の絶縁層 1 の中央部に設けられた四角形状の第 1 の電極 4 と、銀等の導電膜で形成され、第 1 の導電体 3 と第 1 の電極 4 とを接続する第 1 の接続

導体 5 と、この接続導体 5 に設けられた第 1 の引き出し部 6 とを有する。

#### 【0 0 2 9】

また、第 2 の絶縁層 2 の表面には、銀等の導電膜で形成され、第 2 の絶縁層 2 の外周部に沿って設けられたコ字状の第 2 の導電体 7 と、この第 2 の導電体 7 の内側で、第 2 の絶縁層 2 の中央部に設けられた四角形状の第 2 の電極 8 と、銀等の導電膜で形成され、第 2 の導電体 7 と第 2 の電極 8 とを接続する第 2 の接続導体 9 と、この接続導体 9 に設けられた第 2 の引き出し部 1 0 とを有する。

#### 【0 0 3 0】

また、第 1 の導電体 3 の端部に設けられた孔 3 a と第 2 の導電体 7 に設けられた孔 7 a には、スルーホール等の接続体（図示せず）を充填して、第 1、第 2 の導電体 3、7 が電氣的に接続されている。

#### 【0 0 3 1】

このような構成を有する多層回路基板は、第 1、第 2 の電極 4、8 が第 1 の絶縁層 1 を介して互いに対向した状態となって、コンデンサ C が形成されると共に、第 1、第 2 の導電体 3、7 によって、インダクタ L が形成されている。

#### 【0 0 3 2】

その結果、図 3 に示すように、第 1、第 2 の引き出し部 6、1 0 の間は、インダクタ L とコンデンサ C が並列接続された構成となっている。

#### 【0 0 3 3】

このような多層回路基板の製造方法は、ここでは図示しないが、低温焼成セラミック材等からなるグリーンシート上に、銀等の導電ペーストを印刷したものを複数枚積層し、且つ、焼結することによって製造されるようになっている。

#### 【0 0 3 4】

次に、インダクタとコンデンサが並列接続される多層回路基板の第 2 実施例の構成を図 2 に基づいて説明すると、低温焼成セラミック材（L T C C）等のセラミック材からなる第 1、第 2、第 3 の絶縁層 1、2、1 1 は、互いに積層されて構成されて、多層セラミック基板（低温焼成多層セラミック基板）が形成されている。

#### 【0 0 3 5】

そして、第 1 の絶縁層 1 の表面には、銀等の導電膜で形成され、第 1 の絶縁層 1 の外周部に沿って設けられたコ字状の第 1 の導電体 3 と、この第 1 の導電体 3 の内側で、第 1 の絶縁層 1 の中央部に設けられた四角形状の第 1 の電極 4 と、銀等の導電膜で形成され、第 1 の導電体 3 と第 1 の電極 4 とを接続する第 1 の接続導体 5 と、この接続導体 5 に設けられた第 1 の引き出し部 6 とを有する。

#### 【 0 0 3 6 】

また、第 2 の絶縁層 2 の表面には、銀等の導電膜で形成され、第 2 の絶縁層 2 の外周部に沿って設けられたコ字状の第 2 の導電体 7 と、この第 2 の導電体 7 の内側で、第 2 の絶縁層 2 の中央部に設けられた四角形状の第 2 の電極 8 と、銀等の導電膜で形成され、第 2 の導電体 7 と第 2 の電極 8 とを接続する第 2 の接続導体 9 とを有する。

#### 【 0 0 3 7 】

また、第 1 の導電体 3 の端部に設けられた孔 3 a と第 2 の導電体 7 に設けられた孔 7 a には、スルーホール等の接続体（図示せず）を充填して、第 1、第 2 の導電体 3、7 が電氣的に接続されている。

#### 【 0 0 3 8 】

また、第 3 の絶縁層 1 1 の表面には、銀等の導電膜で形成され、第 3 の絶縁層 1 1 の外周部に沿って設けられた略コ字状の第 3 の導電体 1 2 と、この第 3 の導電体 1 2 の端部に繋がった第 3 の接続導体 1 3 と、銀等の導電膜で形成され、第 3 の接続導体 1 3 に設けられた第 2 の引き出し部 1 0 とを有する。

#### 【 0 0 3 9 】

そして、第 2 の導電体 7 の端部に設けられた孔 7 b と第 3 の導電体 1 2 の端部に設けられた孔 1 2 a には、スルーホール等の接続体（図示せず）を充填して、第 2、第 3 の導電体 7、1 2 が電氣的に接続され、また、第 2 の電極 8 に設けられた孔 8 a と第 3 の接続導体 1 3 に設けられた孔 1 3 a には、スルーホール等の接続体（図示せず）を充填して、第 2 の電極 8 と第 3 の接続導体 1 3 が電氣的に接続されている。

#### 【 0 0 4 0 】

このような構成を有する多層回路基板は、第 1、第 2 の電極 4、8 が第 1 の絶

緑層 1 を介して互いに対向した状態となって、コンデンサ C が形成されると共に、第 1、第 2、第 3 の導電体 3、7、12 によって、インダクタ L が形成されている。

#### 【0041】

その結果、図 3 に示すように、第 1、第 2 の引き出し部 6、10 の間は、インダクタ L とコンデンサ C が並列接続された構成となっている。

なお、この第 2 実施例では、第 3 の導電体 12 を設けた 1 枚の第 3 の絶縁層 11 を使用するもので説明したが、導電体を設けた複数枚の絶縁層を使用して、インダクタ L を大きくしても良い。

#### 【0042】

このような第 2 実施例における多層回路基板の製造方法においても、ここでは図示しないが、低温焼成セラミック材等からなるグリーンシート上に、銀等の導電ペーストを印刷したものを複数枚積層し、且つ、焼結することによって製造されるようになっている。

#### 【0043】

次に、インダクタとコンデンサが直列接続される第 3 実施例の多層回路基板の構成を図 4 に基づいて説明すると、低温焼成セラミック材 (LTCC) 等のセラミック材からなる第 1、第 2 の絶縁層 21、22 は、互いに積層されて構成されて、多層セラミック基板 (低温焼成多層セラミック基板) が形成されている。

#### 【0044】

そして、第 1 の絶縁層 21 の表面には、銀等の導電膜で形成され、第 1 の絶縁層 21 の外周部に沿って設けられたコ字状の第 1 の導電体 23 と、この第 1 の導電体 23 の内側で、第 1 の絶縁層 21 の中央部に設けられた四角形状の第 1 の電極 24 と、銀等の導電膜で形成され、第 1 の導電体 23 と第 1 の電極 24 とを接続する第 1 の接続導体 25 と、第 1 の導電体 23 の端部に設けられた第 1 の引き出し部 26 とを有する。

#### 【0045】

また、第 2 の絶縁層 22 の表面には、銀等の導電膜で形成され、第 2 の絶縁層 22 の中央部に設けられた四角形状の第 2 の電極 27 と、銀等の導電膜で形成

され、第 2 の電極 2 7 に繋がって設けられた第 2 の引き出し部 2 8 とを有する。

【 0 0 4 6 】

このような構成を有する多層回路基板は、第 1、第 2 の電極 2 4、2 7 が第 1 の絶縁層 2 1 を介して互いに対向した状態となって、コンデンサ C が形成されると共に、第 1 の導電体 2 3 によって、インダクタ L が形成されている。

【 0 0 4 7 】

その結果、図 7 に示すように、第 1、第 2 の引き出し部 2 6、2 8 の間は、インダクタ L とコンデンサ C が直列接続された構成となっている。

【 0 0 4 8 】

このような第 3 実施例の多層回路基板の製造方法は、ここでは図示しないが、低温焼成セラミック材等からなるグリーンシート上に、銀等の導電ペーストを印刷したものを複数枚積層し、且つ、焼結することによって製造されるようになっている。

【 0 0 4 9 】

次に、インダクタとコンデンサが直列接続される多層回路基板の第 4 実施例の構成を図 5 に基づいて説明すると、低温焼成セラミック材（L T C C）等のセラミック材からなる第 1、第 2 の絶縁層 2 1、2 2 は、互いに積層されて構成されて、多層セラミック基板（低温焼成多層セラミック基板）が形成されている。

【 0 0 5 0 】

そして、第 1 の絶縁層 2 1 の表面には、銀等の導電膜で形成され、第 1 の絶縁層 2 1 の外周部に沿って設けられたコ字状の第 1 の導電体 2 3 と、この第 1 の導電体 2 3 の内側で、第 1 の絶縁層 2 1 の中央部に設けられた四角形状の第 1 の電極 2 4 と、銀等の導電膜で形成され、第 1 の導電体 2 3 と第 1 の電極 2 4 とを接続する第 1 の接続導体 2 5 と、第 1 の導電体 2 3 の端部に設けられた第 1 の引き出し部 2 6 とを有する。

【 0 0 5 1 】

また、第 2 の絶縁層 2 2 の表面には、銀等の導電膜で形成され、第 2 の絶縁層 2 2 の外周部に沿って設けられたコ字状の第 2 の導電体 2 9 と、この第 2 の導電体 2 9 の内側で、第 2 の絶縁層 2 2 の中央部に設けられた四角形状の第 2 の電極

27と、第2の導電体29の端部に設けられた第1の引き出し部26と、第2の電極27に繋がって設けられた第2の引き出し部28とを有する。

#### 【0052】

そして、第1の導電体23の端部に設けられた孔23aと第2の導電体29の端部に設けられた孔29aには、スルーホール等の接続体（図示せず）を充填して、第1、第2の導電体23、29が電氣的に接続されている。

#### 【0053】

このような構成を有する多層回路基板は、第1、第2の電極24、27が第1の絶縁層21を介して互いに対向した状態となって、コンデンサCが形成されると共に、第1、第2の導電体23、29によって、インダクタLが形成されている。

#### 【0054】

その結果、図7に示すように、第1、第2の引き出し部26、28の間は、インダクタLとコンデンサCが直列接続された構成となっている。

#### 【0055】

このような第4実施例の多層回路基板の製造方法においても、ここでは図示しないが、低温焼成セラミック材等からなるグリーンシート上に、銀等の導電ペーストを印刷したものを複数枚積層し、且つ、焼結することによって製造されるようになっている。

#### 【0056】

次に、インダクタとコンデンサが直列接続される多層回路基板の第5実施例の構成を図6に基づいて説明すると、低温焼成セラミック材（LTCC）等のセラミック材からなる第1、第2、第3、第4の絶縁層21、22、30、31は、互いに積層されて構成されて、多層セラミック基板（低温焼成多層セラミック基板）が形成されている。

#### 【0057】

そして、第1の絶縁層21の表面には、銀等の導電膜で形成され、第1の絶縁層21の外周部に沿って設けられたコ字状の第1の導電体23と、この第1の導電体23の内側で、第1の絶縁層21の中央部に設けられた四角形状の第1の電

極 2 4 と、第 1 の導電体 2 3 の端部に設けられた第 1 の引き出し部 2 6 と、第 1 の電極 2 4 に繋がって設けられた第 2 の引き出し部 2 8 とを有する。

#### 【 0 0 5 8 】

また、第 2 の絶縁層 2 の表面には、銀等の導電膜で形成され、第 2 の絶縁層 2 の外周部に沿って設けられたコ字状の第 2 の導電体 2 9 と、この第 2 の導電体 2 9 の内側で、第 2 の絶縁層 2 の中央部に設けられた四角形状の第 2 の電極 2 7 とを有する。

#### 【 0 0 5 9 】

そして、第 1 の導電体 2 3 の端部に設けられた孔 2 3 a と第 2 の導電体 2 9 の端部に設けられた孔 2 9 a には、スルーホール等の接続体（図示せず）を充填して、第 1、第 2 の導電体 2 3、2 9 が電氣的に接続されている。

#### 【 0 0 6 0 】

また、第 3 の絶縁層 3 0 の表面には、銀等の導電膜で形成され、第 3 の絶縁層 3 0 の外周部に沿って設けられたコ字状の第 3 の導電体 3 2 が設けられると共に、第 2 の導電体 2 9 の端部に設けられた孔 2 9 b と第 3 の導電体 3 2 の端部に設けられた孔 3 2 a には、スルーホール等の接続体（図示せず）を充填して、第 2、第 3 の導電体 2 9、3 2 が電氣的に接続されている。

#### 【 0 0 6 1 】

また、第 4 の絶縁層 3 1 の表面には、銀等の導電膜で形成され、第 4 の絶縁層 3 1 の外周部に沿って設けられた略コ字状の第 4 の導電体 3 3 が設けられ、第 3 の導電体 3 2 の端部に設けられた孔 3 2 b と第 4 の導電体 3 3 の端部に設けられた孔 3 3 a には、スルーホール等の接続体（図示せず）を充填して、第 3、第 4 の導電体 3 2、3 3 が電氣的に接続されると共に、第 2 の電極 2 7 に設けられた孔 2 7 a と第 4 の導電体 3 3 の端部に設けられた孔 3 3 b には、スルーホール等の接続体（図示せず）を充填して、第 2 の電極 2 7 と第 4 の導電体 3 3 が電氣的に接続されている。

#### 【 0 0 6 2 】

このような構成を有する多層回路基板は、第 1、第 2 の電極 2 4、2 7 が第 1 の絶縁層 2 1 を介して互いに対向した状態となつて、コンデンサ C が形成される

と共に、第 1、第 2、第 3、第 4 の導電体 2 3、2 9、3 2、3 3 によって、インダクタ L が形成されている。

#### 【0 0 6 3】

その結果、図 7 に示すように、第 1、第 2 の引き出し部 2 6、2 8 の間は、インダクタ L とコンデンサ C が直列接続された構成となっている。

#### 【0 0 6 4】

このような第 5 実施例の多層回路基板の製造方法においても、ここでは図示しないが、低温焼成セラミック材等からなるグリーンシート上に、銀等の導電ペーストを印刷したものを複数枚積層し、且つ、焼結することによって製造されるようになっている。

#### 【0 0 6 5】

##### 【考案の効果】

本考案の多層回路基板は、積層された少なくとも第 1、第 2 の絶縁層を有し、第 1 の絶縁層の表面には、インダクタを構成する導電膜からなる第 1 の導電体と、コンデンサを構成する導電膜からなる一方の第 1 の電極とが設けられ、第 2 の絶縁層の表面には、コンデンサを構成する導電膜からなる他方の第 2 の電極が設けられ、第 1、第 2 の電極が絶縁層を介して互いに対向するように第 1、第 2 の絶縁層が積層された構成とした。

このような構成によって、2 層の絶縁層によってコンデンサとインダクタを備えたものが得られ、従来の 3 層の絶縁層に比して、部品点数が少なく、作業性が良く、且つ、安価で薄型の多層回路基板を提供できる。

#### 【0 0 6 6】

また、第 1 の導電体は、第 1 の絶縁層の外周部に形成されると共に、第 1 の電極が第 1 の導電体の内側で第 1 の絶縁層の中央部に形成されたため、小型で、接続配線の容易なものが得られる。

#### 【0 0 6 7】

また、第 1 の導電体と第 1 の電極が導電膜からなる第 1 の接続導体によって接続されたため、第 1 の導電体と第 1 の電極間のスルーホールによる接続が省けて、生産性の良好なものが得られる。

## 【 0 0 6 8 】

また、第 1 の導電体には第 1 の取り出し部を設けると共に、第 2 の電極には第 2 の取り出し部を設けて、第 1、第 2 の取り出し部間で、インダクタとコンデンサが直列接続されたため、部品点数が少なく、安価で薄型の直列接続型の多層回路基板を提供できる。

## 【 0 0 6 9 】

また、第 2 の絶縁層の外周部には、インダクタを構成する導電膜からなる第 2 の導電体が形成されると共に、第 2 の電極が第 2 の導電体の内側で第 2 の絶縁層の中央部に形成され、第 2 の導電体には第 1 の取り出し部を設けると共に、第 2 の電極には第 2 の取り出し部を設けて、第 1、第 2 の取り出し部間で、インダクタとコンデンサが直列接続されたため、インダクタの大きな直列接続型の多層回路基板を提供できる。

## 【 0 0 7 0 】

また、第 2 の絶縁層の外周部には、インダクタを構成する導電膜からなる第 2 の導電体が形成され、第 2 の電極が第 2 の導電体の内側で第 2 の絶縁層の中央部に形成されると共に、第 1、第 2 の絶縁層に積層された一枚、或いは複数枚の第 3 の絶縁層を有し、この第 3 の絶縁層には、インダクタを構成する導電膜からなる第 3 の導電体が設けられ、第 1 の導電体には第 1 の取り出し部を設けると共に、第 1 の電極には第 2 の取り出し部を設けて、第 1、第 2 の取り出し部間で、インダクタとコンデンサが直列接続されたため、インダクタの一層大きな直列接続型の多層回路基板を提供できる。

## 【 0 0 7 1 】

また、第 2 の絶縁層の外周部には、インダクタを構成する導電膜からなる第 2 の導電体が形成されると共に、第 2 の電極が第 2 の導電体の内側で第 2 の絶縁層の中央部に形成され、第 2 の導電体と第 2 の電極は、導電膜からなる第 2 の接続導体で接続され、第 1 の接続導体には第 1 の取り出し部を設けると共に、第 2 の接続導体には第 2 の取り出し部を設けて、第 1、第 2 の取り出し部間で、インダクタとコンデンサが並列接続されたため、部品点数が少なく、安価で薄型の並列接続型の多層回路基板を提供できる。

**【 0 0 7 2 】**

また、第 2 の絶縁層の外周部には、インダクタを構成する導電膜からなる第 2 の導電体が形成されると共に、第 2 の電極が第 2 の導電体の内側で第 2 の絶縁層の中央部に形成され、第 2 の導電体と第 2 の電極は、導電膜からなる第 2 の接続導体で接続されると共に、第 1、第 2 の絶縁層に積層された一枚、或いは複数枚の第 3 の絶縁層を有し、この第 3 の絶縁層には、インダクタを構成する導電膜からなる第 3 の導電体が設けられ、第 1 の接続導体には第 1 の取り出し部を設けると共に、第 3 の導電体には第 2 の取り出し部を設けて、第 1、第 2 の取り出し部間で、インダクタとコンデンサが並列接続されたため、インダクタの一層大きな並列接続型の多層回路基板を提供できる。

**【図面の簡単な説明】****【図 1】**

本考案の多層回路基板の第 1 実施例に係り、インダクタとコンデンサが並列接続されるものにおける分解斜視図。

**【図 2】**

本考案の多層回路基板の第 2 実施例に係り、インダクタとコンデンサが並列接続されるものにおける分解斜視図。

**【図 3】**

図 1、図 2 の多層回路基板における回路図。

**【図 4】**

本考案の多層回路基板の第 3 実施例に係り、インダクタとコンデンサが直列接続されるものにおける分解斜視図。

**【図 5】**

本考案の多層回路基板の第 4 実施例に係り、インダクタとコンデンサが直列接続されるものにおける分解斜視図。

**【図 6】**

本考案の多層回路基板の第 5 実施例に係り、インダクタとコンデンサが直列接続されるものにおける分解斜視図。

**【図 7】**

図 4 ～図 6 の多層回路基板における回路図。

【図 8】

従来の多層回路基板に係り、インダクタとコンデンサが並列接続されるものにおける分解斜視図。

【図 9】

図 8 の多層回路基板における回路図。

【図 1 0】

従来の多層回路基板に係り、インダクタとコンデンサが直列接続されるものにおける分解斜視図。

【図 1 1】

図 1 0 の多層回路基板における回路図。

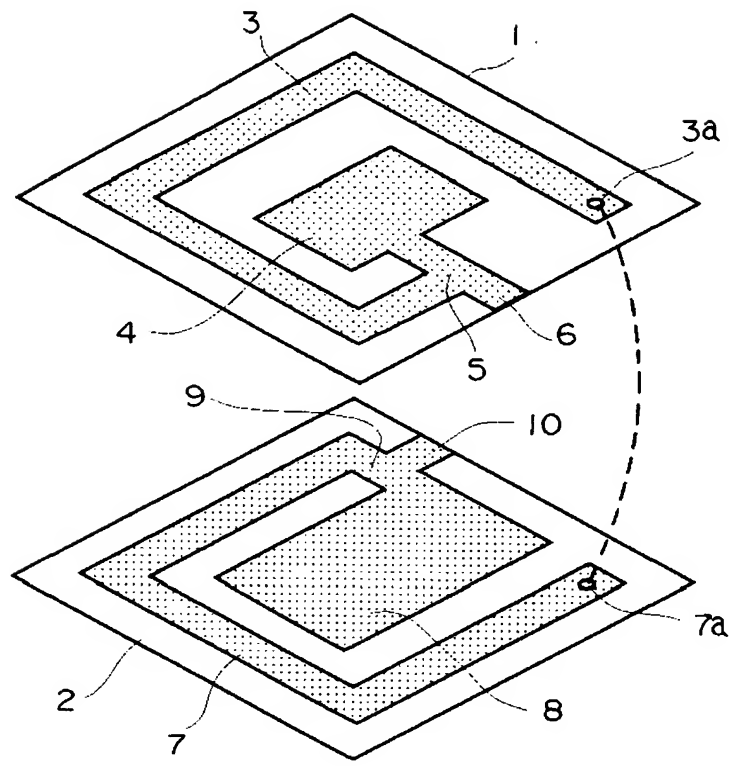
【符号の説明】

- 1 第 1 の絶縁層
- 2 第 2 の絶縁層
- 3 第 1 の導電体
- 3 a 孔
- 4 第 1 の電極
- 5 第 1 の接続導体
- 6 第 1 の引き出し部
- 7 第 2 の導電体
- 7 a 孔
- 7 b 孔
- 8 第 2 の電極
- 9 第 2 の接続導体
- 1 0 第 2 に引き出し部
- 1 1 第 3 の絶縁層
- 1 2 第 3 の導電体
- 1 2 a 孔
- 1 3 第 3 の接続導体

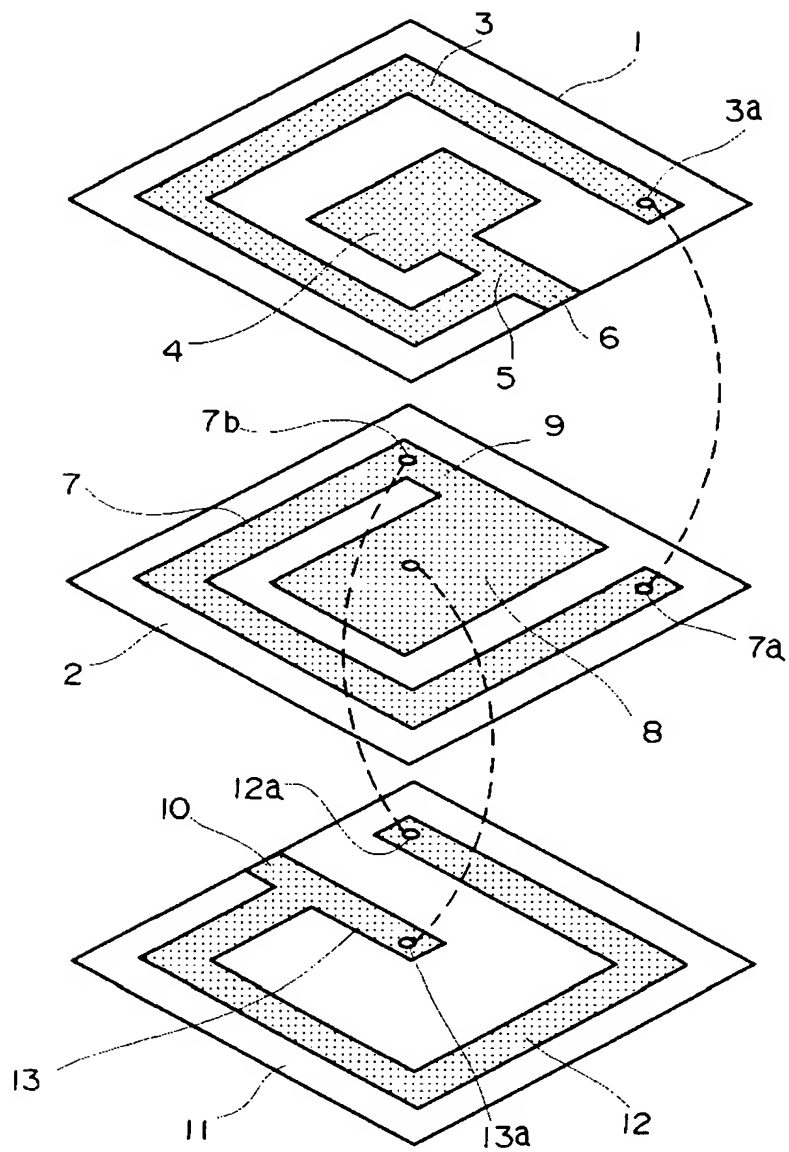
- 2 1 第 1 の絶縁層
- 2 2 第 2 の絶縁層
- 2 3 第 1 の導電体
- 2 3 a 孔
- 2 4 第 1 の電極
- 2 5 第 1 の接続導体
- 2 6 第 1 の引き出し部
- 2 7 第 2 の導電体
- 2 7 a 孔
- 2 8 第 2 の引き出し部
- 2 9 第 2 の導電体
- 2 9 a 孔
- 2 9 b 孔
- 3 0 第 3 の絶縁層
- 3 1 第 4 の絶縁層
- 3 2 第 3 の導電体
- 3 2 a 孔
- 3 2 b 孔
- 3 3 第 4 の導電体
- 3 3 a 孔
- 3 3 b 孔

【書類名】 図面

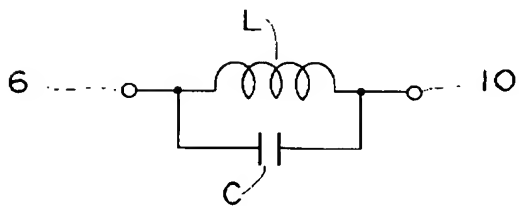
【図 1】



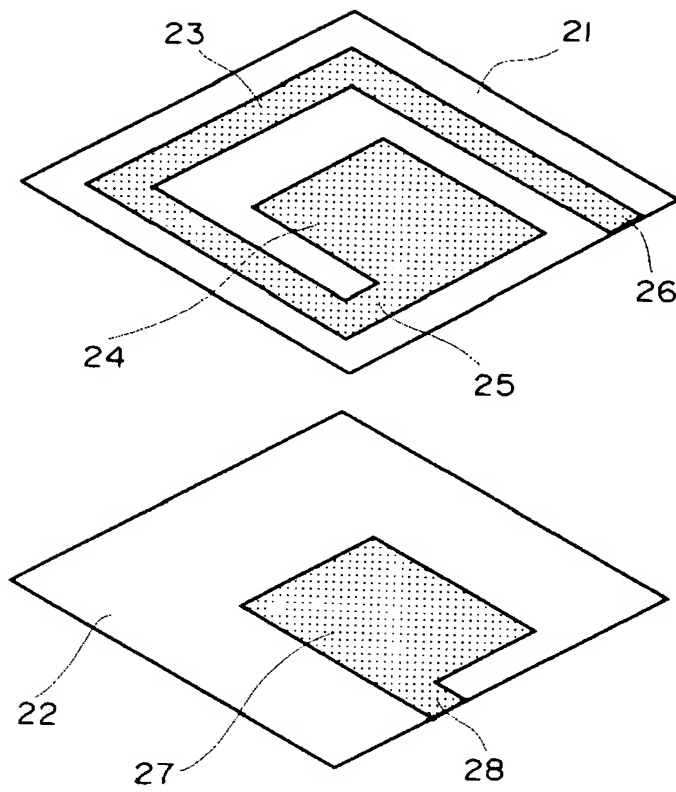
【図 2】



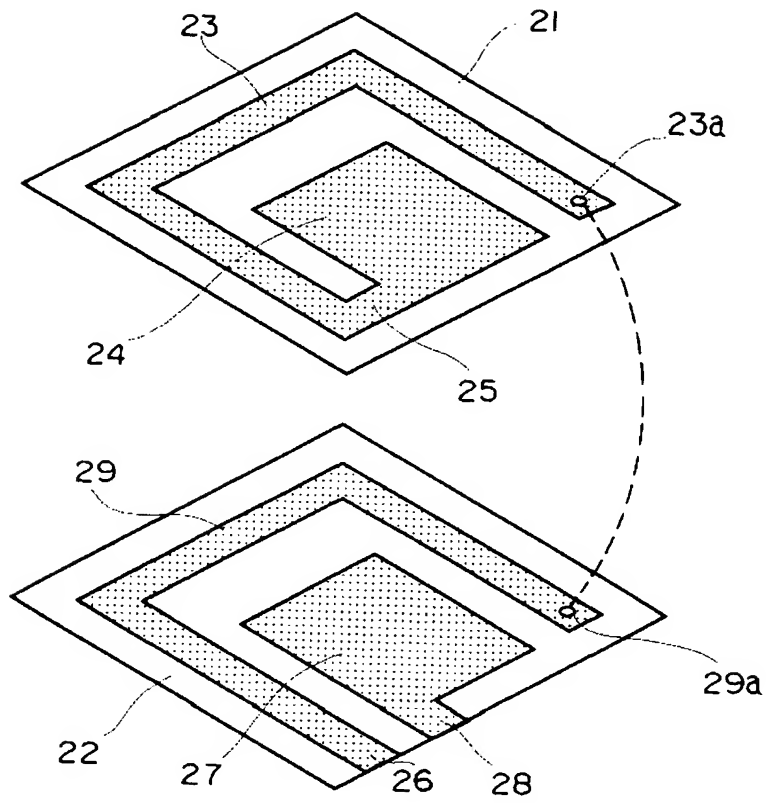
【図 3】



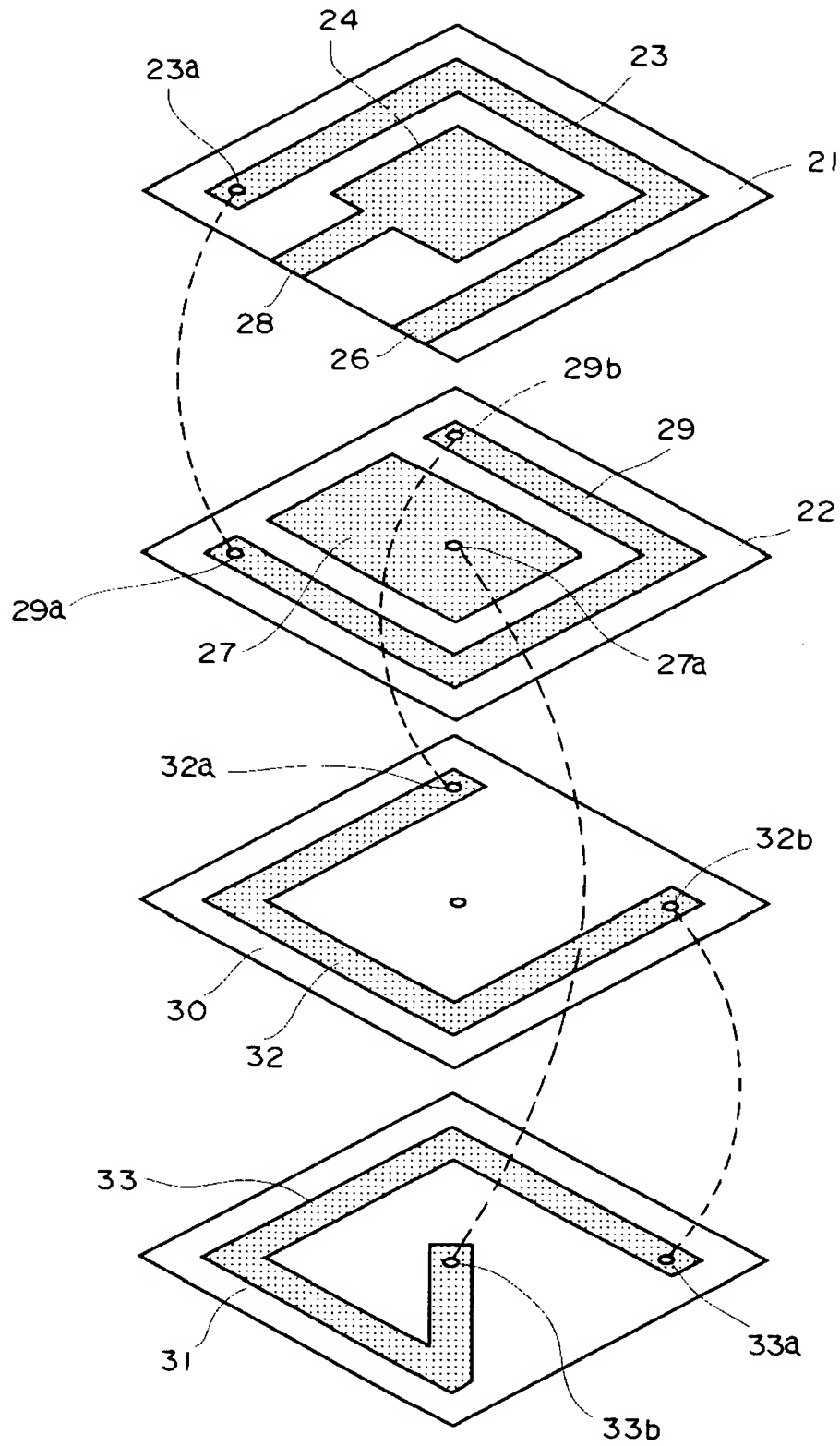
【図 4】



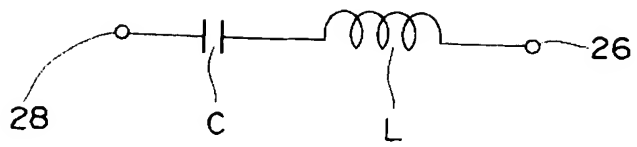
【図 5】



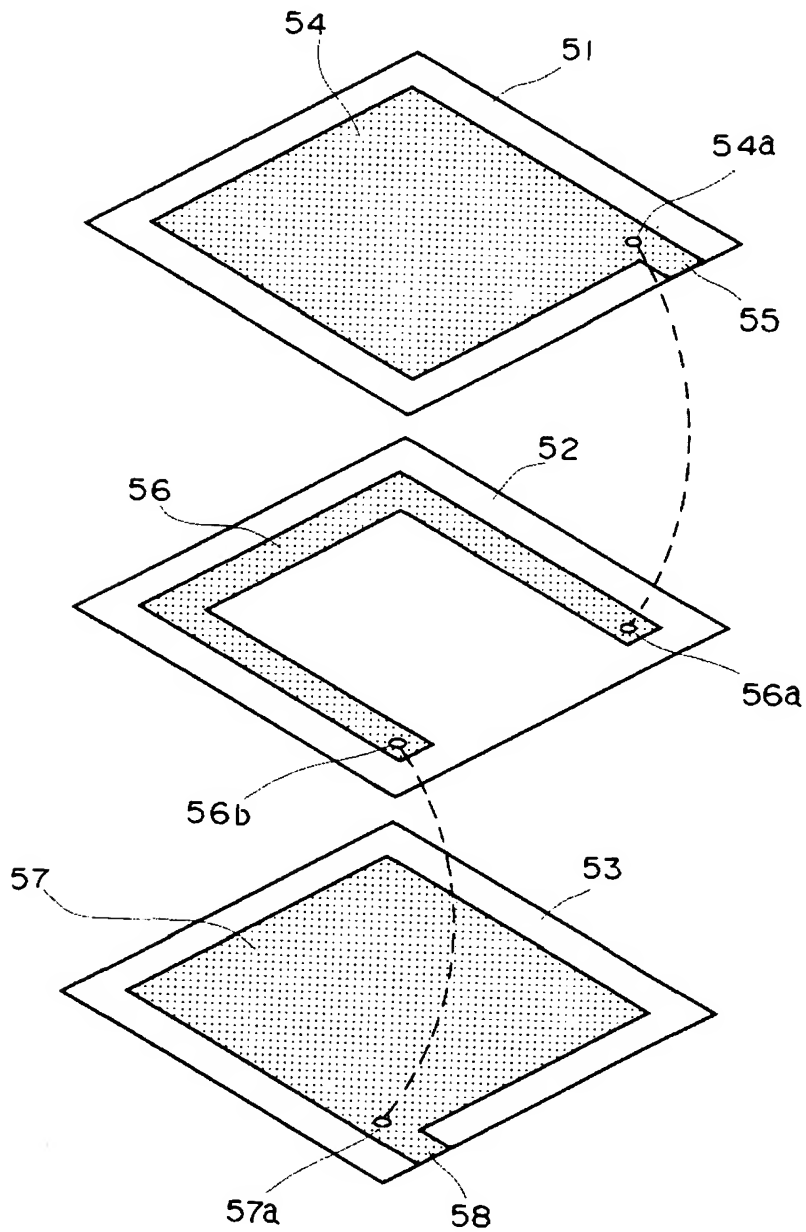
【図 6】



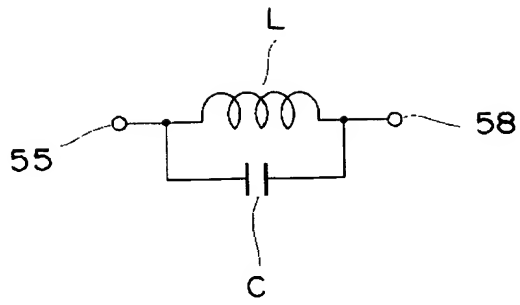
【図7】



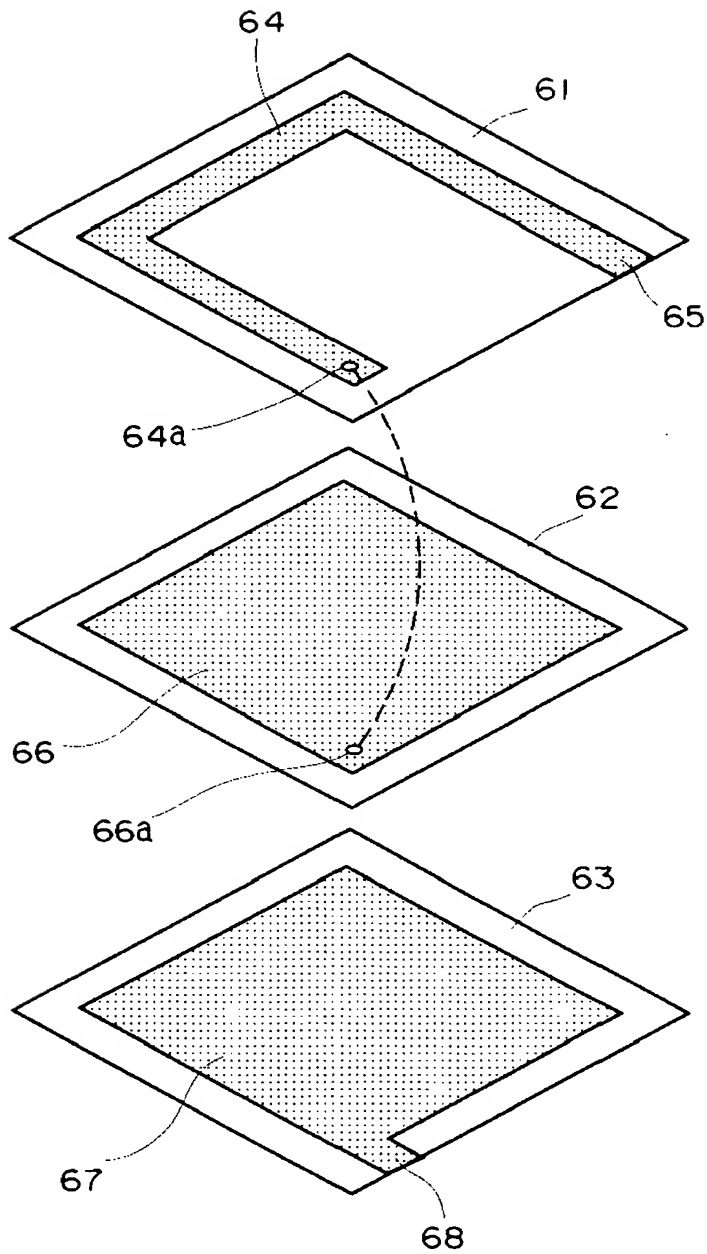
【図8】



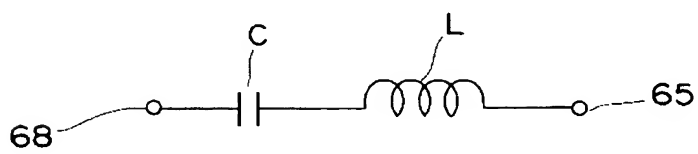
【図 9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 部品点数が少なく、作業性が良く、且つ、安価で薄型の多層回路基板を提供する。

【解決手段】 本考案の多層回路基板は、積層された少なくとも第 1，第 2 の絶縁層 1，2 を有し、第 1 の絶縁層 1 の表面には、インダクタを構成する導電膜からなる第 1 の導電体 3 と、コンデンサを構成する導電膜からなる一方の第 1 の電極 4 とが設けられ、第 2 の絶縁層 2 の表面には、コンデンサを構成する導電膜からなる他方の第 2 の電極 8 が設けられ、第 1，第 2 の電極 4，8 が絶縁層を介して互いに対向するように第 1，第 2 の絶縁層 1，2 が積層されたため、2 層の絶縁層によってコンデンサとインダクタを備えたものが得られ、従来の 3 層の絶縁層に比して、部品点数が少なく、作業性が良く、且つ、安価で薄型となる。

【選択図】 図 1

## 認定・付加情報

実用新案登録出願の番号	実願 2 0 0 2 - 0 0 6 6 7 4
受付番号	5 0 2 0 1 5 9 0 7 7 6
書類名	実用新案登録願
担当官	第九担当上席 0 0 9 8
作成日	平成 1 4 年 1 1 月 6 日

### < 認定情報・付加情報 >

【提出日】 平成14年10月22日

次頁無

実願 2 0 0 2 - 0 0 6 6 7 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 1 0 0 9 8 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

東京都大田区雪谷大塚町 1 番 7 号

氏 名

アルプス電気株式会社